Министерство науки и высшего образования Российской Федерации

Федеральное государственное автономное образовательное учреждение

высшего образования

«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Институт цифрового развития

Кафедра инфокоммуникаций

**«АРИФМЕТИЧЕСКИЕ СУММАТОРЫ.**

**АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО»**

**ОТЧЕТ**

**по лабораторной работе №6**

**дисциплины**

**«Архитектура ЭВМ»**

|  |  |  |  |
| --- | --- | --- | --- |
|  | | Выполнил:  Мизин Глеб Егорович  2 курс, группа ПИЖ-б-о-21-1,  09.03.04 «Программная инженерия», направленность (профиль) «Разработка и сопровождение программного обеспечения», очная форма обучения  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_  (подпись) | |
|  | | Проверил:  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_  (подпись) | |
|  | |  | |

Отчет защищен с оценкой \_\_\_\_\_\_\_\_\_\_\_ Дата защиты\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Ставрополь, 2022 г.

**Цели:**

– смоделировать арифметические сумматоры;

– изучить различные операции, и способы их включения, арифметико-логического устройства.

**Задание №1**: cоберите схему для исследования полусумматора (см. рис. 5.4, а). Составьте таблицу истинности для его выходов, подключая логический конвертер (Logic Converter) отдельно к каждому выходу.

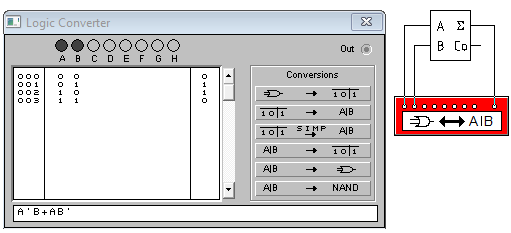


Рисунок 1 – Схема подключения логического полусумматора

На рисунке 1 продемонстрирована схема подключения логического полусумматора к логическому преобразователю, составив с его помощью таблицу истинности заметим, что, подключая клемму Out к выходу ∑ получим значения соответствующие операции «ИСКЛЮЧАЮЩЕЕ ИЛИ» (XNOR)

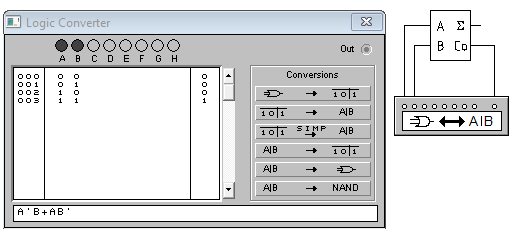


Рисунок 2 – Схема подключения логического полусумматора

На рисунке 2 так же продемонстрированно подключение логического полусумматора к логическому преобразователю, но в данном случае к клемме Out подключён выход С0 составив и проанализировав полученную таблицу истинности можем прийти к выводу, что в данном случаем сумматор выполняет операцию логического умножения «И» (AND)

**Задание №2**: выясните внутреннюю структуру полного сумматора, пользуясь схемой его подключения к логическому преобразователю на рисунке 5.4, б, и принимая во внимание методику решения аналогичной задачи для полусумматора.

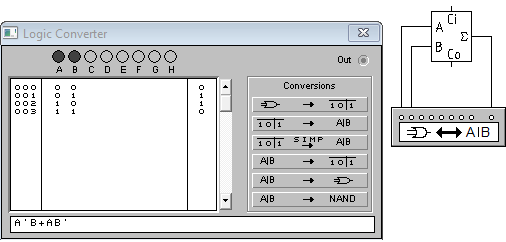


Рисунок 3 – Схема подключения полного логического сумматора

На рисунке 3 продемонстрирована схема подключения полного логического сумматора, подключая клемму Out к выходу ∑ и составив при помощи логического преобразователя таблицу истинности получим таблицу, соответствующую логической операции «ИСКЛЮЧАЮЩЕЕ ИЛИ» (XNOR)

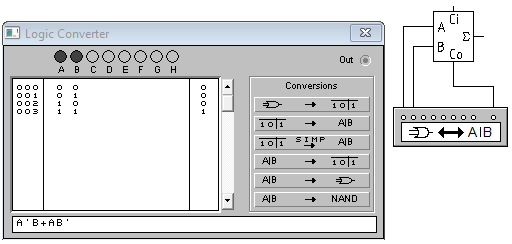


Рисунок 4 – Схема подключения полного логического сумматора

На рисунке 4 продемонстрирована схема подключения полного логического сумматора, подключая клемму Out к выходу С0 и составив при помощи логического преобразователя таблицу истинности получим таблицу, соответствующую логической операции «И» (AND)

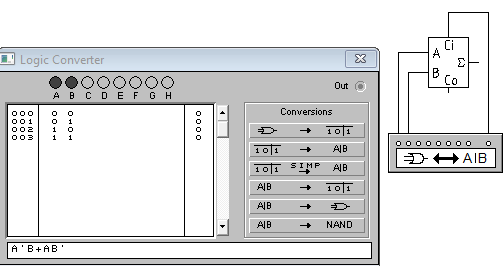


Рисунок 5 – Схема подключения полного логического сумматора

На рисунке 5 продемонстрирована схема подключения полного логического сумматора, подключая клемму Out к Сi и составив при помощи логического преобразователя таблицу истинности получим таблицу, полностью состоящую из нулей так как Сi является входом переноса для составления многоразрядных сумматоров

**Задание №3**: используя опыт работы со схемой на рисунке 5.6, подключите ко входам 3-разрядного сумматора на рисунке 5.3 генератор слова, а к выходам — алфавитно-цифровой индикатор с дешифратором и проверьте правильность его функционирования.

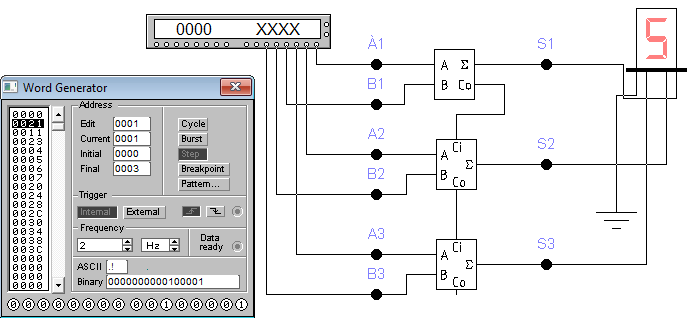
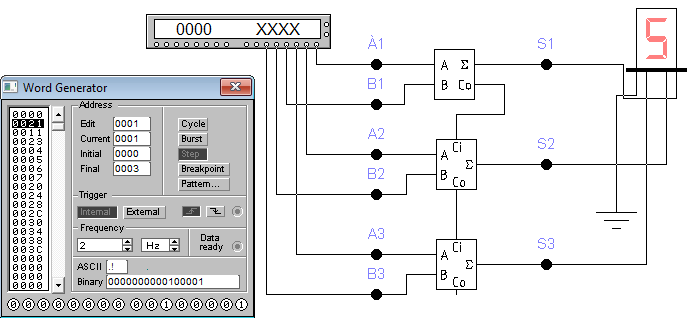
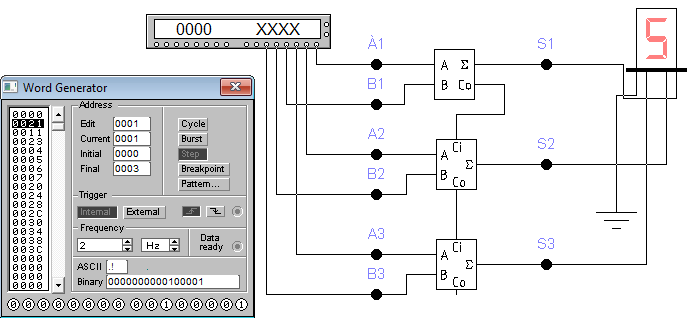
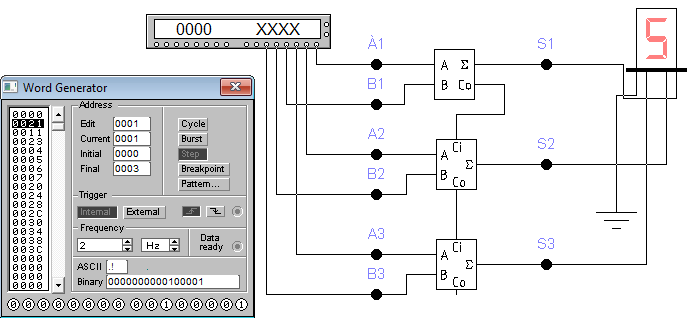


Рисунок 6 – Схема подключения трёхразрядного сумматора

На рисунке 6 показана схема подключения трёхразрядного логического сумматора при подаче кода 0000000000100001 через генератор слова на входы А3, А2 и А1 подадутся сигналы 0 0 1, а на входы B3, B2 и В1 подадутся сигналы 1 0 0 соответственно следующие десять сигналов не имеют значения так как не подключены к схеме, на выходах S3, S2 и S1 получаем сигналы 1 0 1, что при переводе в десятичную систему счисления будет равно 510. Проверим работу сумматора:

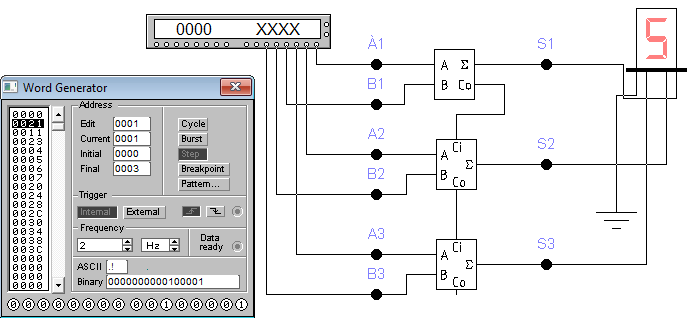
A11

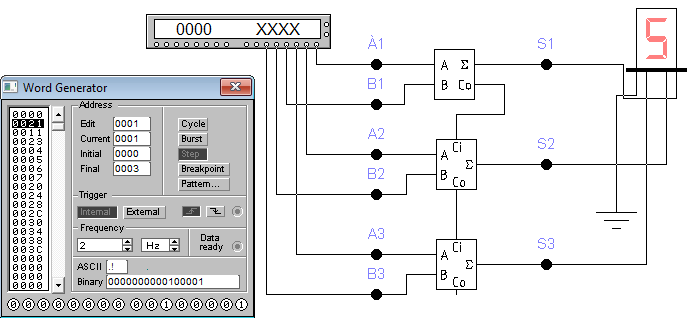
A21

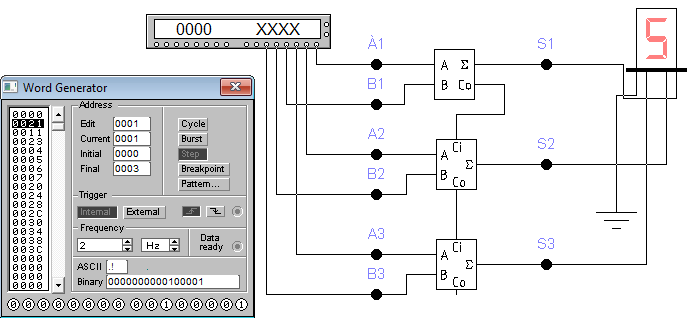
A31

0 0 1

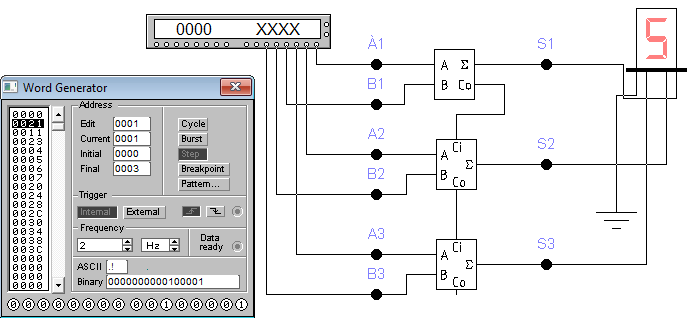
Следовательно, составленный трёхразрядный сумматор работает правильно

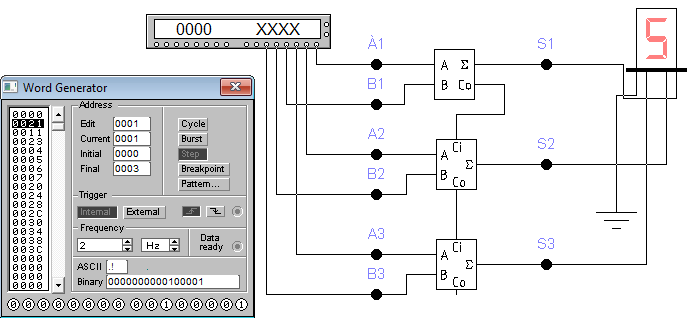
B11

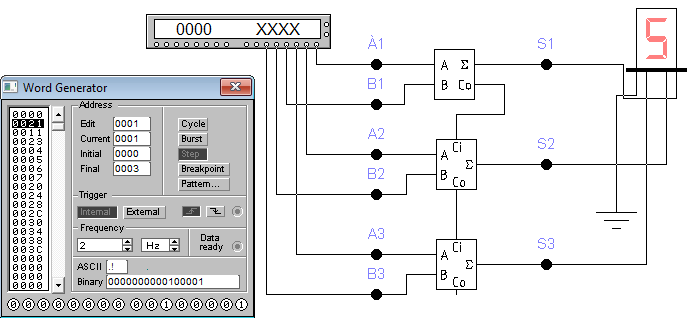
B21

B31

1 0 0

S31

S11

S21

1 0 1

**Задание №4**: проверьте работу ИМС 74181 в режиме сумматора с переносом (на вход Сn подайте сигнал логического «0»). Проведите аналогию между работой АЛУ в режиме сумматора и схемой 3-разрядного сумматора на рисунке 5.3

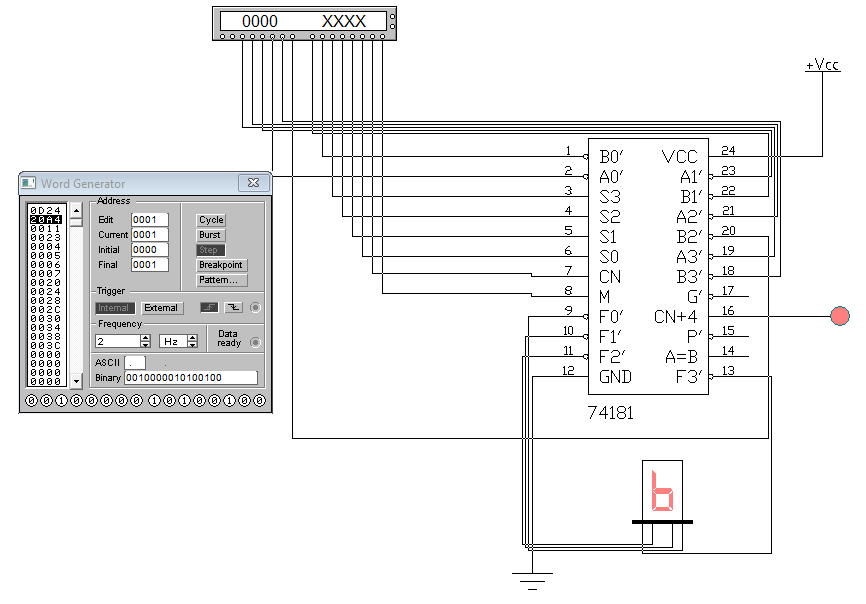


Рисунок 7 – Схема подключения ИМС 74181 в режиме сумматора с переносом

На рисунке 7 продемонстрирована схема подключения ИМС 74181 в режиме сумматора с переносом. На схему при помощи генератора слов подаётся код:

Не исп.

M

CN

S3 S2 S1 S0

A3 A2 A1 A0

B3 B2 B1 B0

1001

0010

1000

00

0 0

На вход М подаётся 0 для того, чтобы проводить арифметические операции (при подаче на M единицы можно проводить только логические операции). Далее на вход СN так же подаётся сигнал 0, таким образом мы сообщаем что внешний перенос отсутствует. После этого подаётся сигнал 1 0 0 1 на входы S3, S2, S1, S0, что в свою очередь соответствует операции арифметического сложения исходя из таблицы истинности ИМС 74181. А так как входы B3, B2, B1, B0 и А3, А2, А1, А0 инверсные то входные сигналы будут равны 0 1 1 1 и 1 1 0 1 соответственно.

Далее происходит операция арифметического сложения:

`A3 `A2 `A1 `A0

1 1 0 1

`B3 `B2 `B1 `B0

0 1 1 1

CN+4 F3 F2 F1 F0

1 0 1 0 0

Так как выходы F3, F2, F1, F0 у ИМС 74181 так же инверсные в конечном счёт получаем код:

CN+4 `F3 `F2 ` F1 `F0

1 1 0 1 1

Выход СN+4 отдельно подключён к лампе, а выходы `F3, `F2, `F1, `F0 к алфавитно-цифровому индикатору с дешифратором, на рисунке 7 видно, что лампа, соединённая с выходом СN+4, горит, что соответствует сигналу 1, а на индикаторе отображается «b» что является шестнадцатеричным представлением двоичного четырёх разрядного кода 1 0 1 1

**Задание №5:**

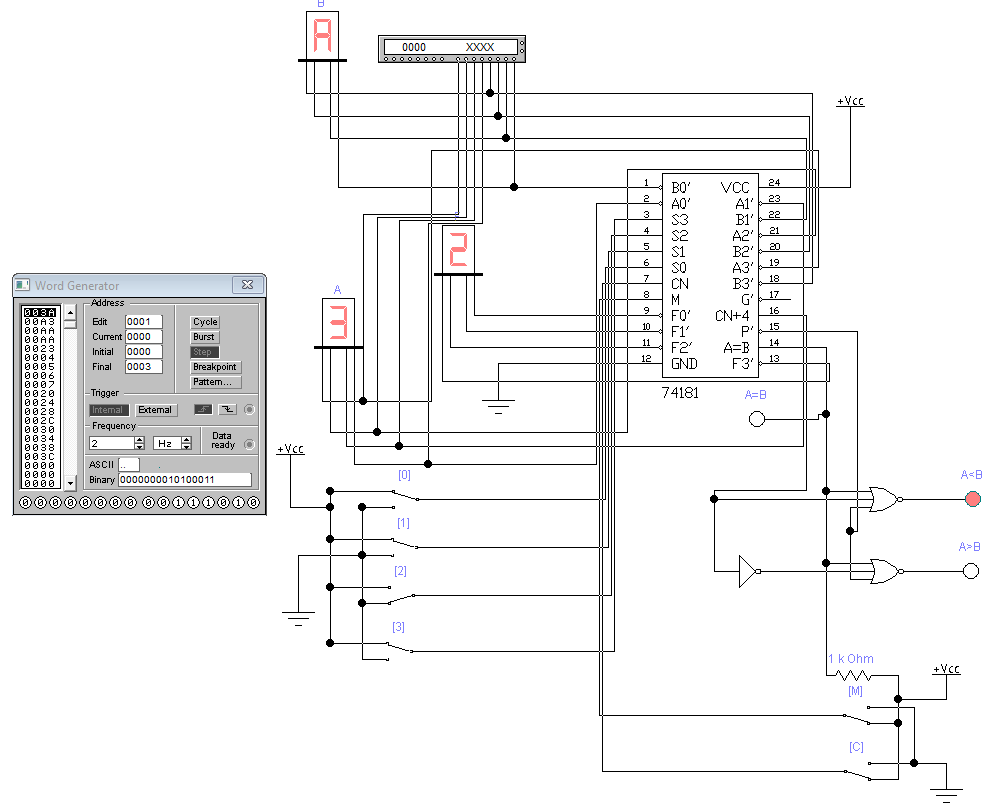


Рисунок 8 – АЛУ на ИМС 74181

На рисунке 8 продемонстрирована работа АЛУ на ИМС 74181 на вход M подаётся сигнал 1, следовательно операции будут выполнятся логические, а так же значение входа переноса не важно, на S3 S2 S1 S0 подаются сигналы 1 0 1 1 означающие что будет проводится операция логического умножения (исходя из таблицы приведённой в методичке), на входы А3 А2 А1 А0 и В3 В2 В1 В0 подаются сигналы 1 0 1 0 и 0 0 1 1. При перемножении получаем что А16 (1 0 1 02) • 316 (0 0 1 12) = 216 (0 0 1 02). Так же загорелся индикатор, сообщающий нам о том, что А> B

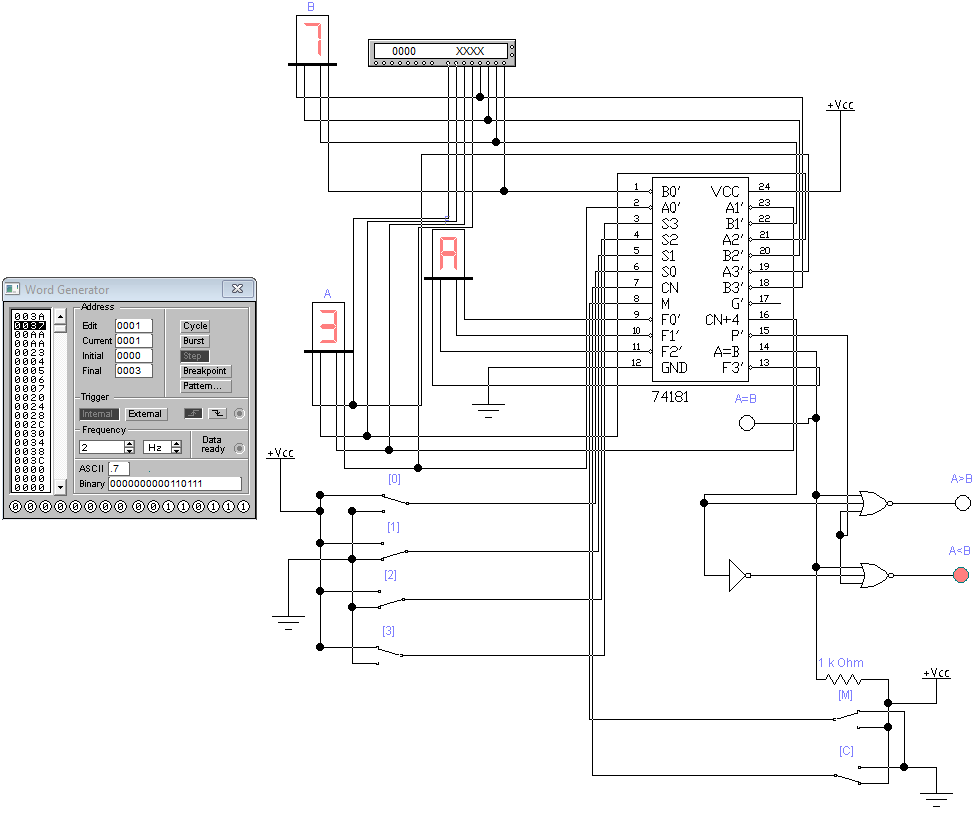


Рисунок 9 – АЛУ на ИМС 74181

На рисунке 9 продемонстрирована работа АЛУ на ИМС 74181 на вход M подаётся сигнал 0, из чего следует что, будут выполнятся арифметические операции, при этом значение входа переноса играет роль, в данном случае на него подаётся 0, так же на S3 S2 S1 S0 подаются сигналы 1 0 0 1 означающие что будет проводится операция арифметического сложения (исходя из таблицы приведённой в методичке), на входы А3 А2 А1 А0 и В3 В2 В1 В0 подаются сигналы 0 0 1 1 и 0 1 1 1. При перемножении получаем что, 316 (0 0 1 12) + 716 (0 1 1 12) = A16 (1 0 0 02).

**Вывод**: произвели моделирование арифметических и логических сумматоров и полусумматоров, так же ознакомились с принципом работы многоразрядного сумматора. Исследовали работу ИМС 74181и собрали АЛУ на нём же

**Контрольные вопросы**

1. Что такое полусумматор? Приведите его таблицу истинности, схему и логические выражения для выходных сигналов.

Полусумматор — комбинационная логическая схема, имеющая два входа и два выхода. Полусумматор позволяет вычислять сумму A+B



2. Чем отличается полусумматор от полного сумматора?

Полный сумматор имеет вход переноса, тогда как полусумматор только выход

3. Что нужно сделать с сумматором, чтобы он работал аналогично элементу ИСКЛЮЧАЮЩЕЕ ИЛИ?

Подключить выход ∑

4. Зачем используется перенос в полусумматорах, сумматорах и АЛУ?

Для увеличения разрядности сумматора

5. Как можно выполнить вычитание с помощью сумматора?

Чтобы реализовать вычитание каскадным или двоичным каскадным сумматором, нужно сложить на нём уменьшаемое с противоположным по знаку вычитаемым, так же, как и при вычитании обычных чисел.